

**THIS PAGE IS INSERTED BY OIPE SCANNING
AND IS NOT PART OF THE OFFICIAL RECORD**

Best Available Images

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

BLACK BORDERS

TEXT CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT

BLURRY OR ILLEGIBLE TEXT

SKEWED/SLANTED IMAGES

COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE

VERY DARK BLACK AND WHITE PHOTOS

UNDECIPHERABLE GRAY SCALE DOCUMENTS

**IMAGES ARE THE BEST AVAILABLE
COPY. AS RESCANNING *WILL NOT*
CORRECT IMAGES, PLEASE DO NOT
REPORT THE IMAGES TO THE
PROBLEM IMAGE BOX.**



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000022732

(43) Publication Date. 20000425

(21) Application No.1019990034140

(22) Application Date. 19990818

(51) IPC Code:

G02F 1/136

(71) Applicant:

FRONTEC INC.

(72) Inventor:

CHAE, GI SEONG

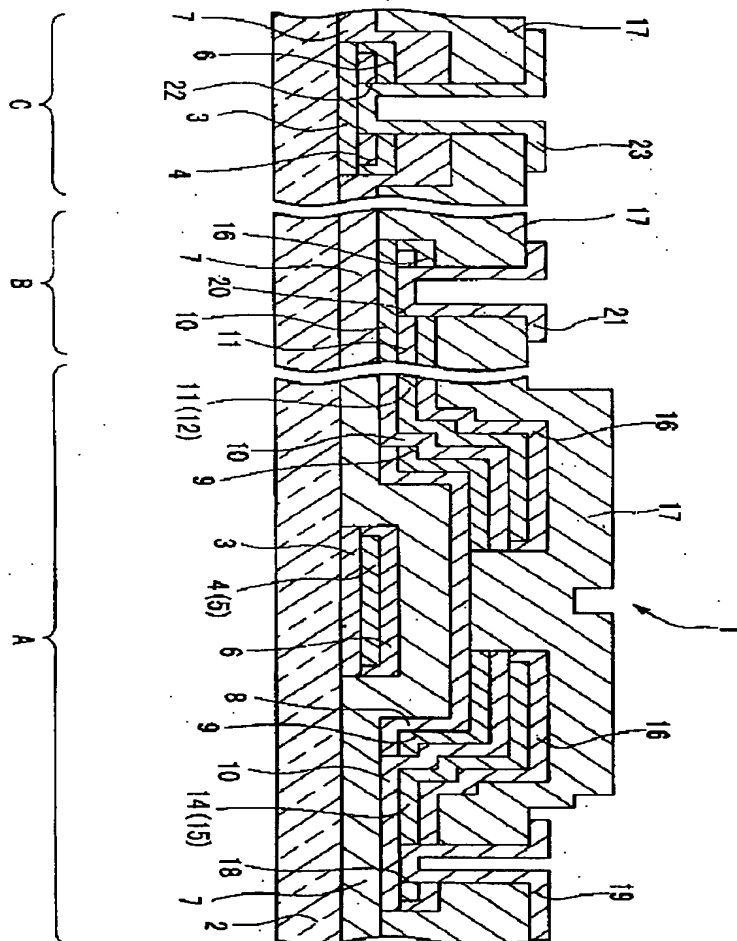
(30) Priority:

98 248829 19980902 JP

(54) Title of Invention

TFT SUBSTRATE USING ALUMINUM AS LOW RESISTANCE WIRING AND LCD USING THE SAME

Representative drawing



(57) Abstract:

PURPOSE: TFT substrate using aluminum and LCD using the same do not occur an inferior short owing to an increase of electric resistance value by a contact between aluminum and ITO, and solve an inferior insulation problem, and uses an aluminum as a wiring material.

CONSTITUTION: A TFT includes a lower metal layer(3,10) which has a gate terminal(5), a source terminal(12) and a pixel electrode(1), and is electrically connected to Indium tin oxide layer. A contact hole(18,20,22) ranges a gate wiring, and aluminum layer making a source wiring and a drain electrode. The aluminum oxide layer(6,16) and an insulation layer are sequentially deposited, The contact hole ranges to the lower metal layer from the insulation layer surface through the

aluminum oxide layer, the insulation layer and the aluminum layer. Indium tin oxide layer are formed either in the contact hole or on the insulation layer. Indium tin oxide layer formed in the contact hole is electrically connected to the lower metal layer. Thereby,

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G02F 1/136

(11) 공개번호 특2000-0022732
(43) 공개일자 2000년 04월 25일

(21) 출원번호 10-1999-0034140
(22) 출원일자 1999년 08월 18일
(30) 우선권주장 10-248829 1998년 09월 02일 일본(JP)
(71) 출원인 가부시키가이샤 프론테크 아베 아키라
일본국 미야기켄 센다이시 미즈미쿠 아케도오리 3-31
(72) 발명자 채기성
일본국미야기켄센다이시미즈미구타가모리7-101
(74) 대리인 백승남, 나천열

심사청구 : 있음

(54) 저저항 배선으로써 알루미늄을 이용한 박막트랜지스터기판 및 그것을 이용한 액정표시장치

요약

알루미늄과 IT0의 접촉에 의한 전기저항값 상승 및 필락에 의한 쇼트불량, 절연불량을 해결하고, 알루미늄을 배선재료로 사용하는 박막트랜지스터 기판 및 이것을 이용한 액정표시장치를 제공한다.

본 발명의 박막트랜지스터기판은 기판상에 게이트단자, 소스단자 및 화소전극을 이루는 하부금속막과, 게이트배선, 소스배선 및 드레인전극을 이루는 알루미늄막과, 알루미늄산화막과, 절연막이 순차적으로, 절연막표면에서 절연막과 알루미늄산화막과 알루미늄막을 통하여 하부금속막에 달하는 콘택홀이 형성되고, 절연막상 및 콘택홀 내에 인듐주석산화막이 형성되고, 콘택홀 내부에 이루어진 인듐산화물이 하부금속막에 전기적으로 접속된 것을 특징으로 한다.

도면

도 1

명세서

도면의 간단한 설명

- 도 1은 본 실시형태의 박막트랜지스터기판 1의 부분 단면도이다.
도 2는 본 실시형태의 박막트랜지스터기판 1의 제조공정을 나타내는 개략도이다.
도 3은 본 실시형태의 박막트랜지스터기판을 사용한 반사형 액정표시장치의 한 예를 나타내는 개략도이다.
도 4는 미처리 알루미늄막, 오존수로 처리한 알루미늄막, 오존수와 자외선으로 처리한 알루미늄막에 대하여 표면의 필락의 높이와 밀도를 측정한 그래프이다.
도 5는 산화조건을 변경한 3종류의 시료에 대하여 알루미늄막과 도전층과의 사이에 부가한 전압과, 그 전압에 있어서 도통수를 나타낸 그래프이다.
도 6은 일반적인 박막트랜지스터형 액정표시장치의 박막트랜지스터 부분을 나타내는 개략도이다.

도면의 주요 부분에 대한 부호의 설명

- | | |
|----------------------------|-----------------|
| 1 - 박막트랜지스터기판 | 2 - 기판 |
| 3,10 - 하부금속막 | 4,11,14 - 알루미늄막 |
| 5 - 게이트전극 | 6,16 - 알루미늄산화막 |
| 7 - 게이트절연막 | 8 - 반도체막 |
| 9 - n ⁺ 형 a-Si층 | 12 - 소스전극 |
| 15 - 드레인전극 | 17 - 페시베이션막 |
| 18,20,22 - 콘택홀 | 19 - IT0층(화소전극) |

21,23 - 상부패드층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터기판 및 이것을 이용한 액정표시장치에 관한 것이고, 특히 저저항 배선으로 알루미늄을 이용한 박막트랜지스터기판 및 이것을 이용한 액정표시장치에 관한 것이다.

배선재료로 알루미늄은 저저항이라고 하는 이점을 갖고 있고, 전자기기에 있어서, 기판상의 배선이나 전극 등에 많이 이용되고 있다.

도 6은 일반적인 박막트랜지스터형 액정표시장치의 박막트랜지스터 부분을 나타내는 개략도이다.

이 박막트랜지스터 82는 투명기판 83 위에 게이트전극 84가 설치되고, 이 게이트전극 84를 덮도록 게이트절연막 85가 설치되어 있다.

게이트전극 84 상방의 게이트절연막 85 위에 어몰퍼스실리콘(a-Si)으로 이루어진 반도체층 86이 설치되고, 인 등의 n형 불순물을 포함한 어몰퍼스실리콘(n⁺형 a-Si)으로 이루어진 오믹콘택층 87을 개재하여 반도체층 86 위에서부터 게이트절연막 85 위에 걸쳐서 소스전극 88 및 드레인전극 89가 설치되어 있다.

그리고, 이들 소스전극 88, 드레인전극 89, 게이트전극 84 등으로 구성된 박막트랜지스터 82를 덮는 페시베이션막 90이 설치되고, 드레인전극 89 위의 페시베이션막 90에 콘택홀 91이 설치되어 있다. 또, 이 콘택홀 91을 통하여 드레인전극 89와 전기적으로 접속되는 인듐주석산화물(이하 ITO라 칭한다) 등의 투명성도전막으로 된 화소전극 92가 설치되어 있다.

또, 도 6 좌측의 부분은 표시영역 밖에 위치하는 게이트배선단부의 게이트단자 패드부 93의 단면구조를 나타내고 있다.

투명기판 83 위의 게이트배선 재료로 이루어진 하부패드층 94 위에 게이트절연막 85 및 페시베이션막 90을 관통하는 콘택홀 95가 설치되고, 이 콘택홀 95를 통하여 하부패드층 94와 전기적으로 접속되는 화소전극 92와 동일한 투명성 도전막으로 이루어진 상부패드층 96이 설치되어 있다. 또, 소스배선단부에 있어서도 유사한 구조로 되어 있다.

이상과 같이 박막트랜지스터에 있어서는 게이트단자, 소스단자 및 화소전극을 이루는 투명성도전막과, 게이트배선, 소스배선 및 드레인전극을 이루는 배선용금속이 직접접촉되도록 구성되어 있다.

발명이 이루고자 하는 기술적 과제

그러나 이 종류의 액정표시장치에 있어서, 배선저항을 내릴 목적으로 투명성도전막으로 ITO를, 배선용금속으로 알루미늄을 이용한 경우 ITO와 알루미늄을 직접접촉시키면 ITO내의 산소가 알루미늄을 산화시킨다. 그 결과 콘택부분의 전기저항이 상승하게 된다.

또, 알루미늄을 배선재료로 사용하는 경우 필락이 발생하는 문제가 있다.

필락은 알루미늄의 표면에 발생하는 바늘형상의 돌기를 말하고 이 돌기가 알루미늄 위에 적층된 절연막을 뚫고나와 다른 도전층과 쇼트되거나 절연불량을 일으키거나 할 위험이 있다.

상기와 같은 점을 감안하여 본 발명은 상술한 2개의 문제점, 즉, 알루미늄과 ITO의 접촉에 의한 전기저항상승 및 필락에 의한 쇼트불량, 절연불량을 해결하고, 알루미늄을 배선재료로 사용하는 박막트랜지스터기판 및 이것을 이용한 액정표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에 관한 박막트랜지스터기판은 기판상에 게이트단자, 소스단자 및 화소전극을 이루는 인듐주석산화막과의 전기접촉이 가능한 금속으로 이루어진 하부금속막과,

게이트배선, 소스배선 및 드레인전극을 이루는 알루미늄막과, 알루미늄산화막과, 절연막이 순차적층되고, 절연막표면에서 절연막과, 알루미늄산화막과, 알루미늄막을 통하여 하부금속막에 달하는 콘택홀이 형성되고,

절연막 위 및 콘택홀 내에 인듐주석산화막이 형성되고, 콘택홀 내에 형성된 인듐주석산화막이 하부금속막에 전기적으로 접속된 것을 특징으로 한다.

즉, 박막트랜지스터기판에 있어서, 인듐주석산화막으로 이루어진 게이트단자, 소스단자, 화소전극 등과, 알루미늄막으로 이루어진 게이트배선, 소스배선, 드레인전극 등을 전기적으로 접속할 필요가 있다. 본 발명에 있어서는 인듐주석산화막과, 알루미늄막을 직접접촉하지 않고, 게이트배선, 소스배선, 드레인전극의 부분을 하부금속막과 알루미늄막의 2층 구조로 하여두고, 그 위의 절연막에 형성하는 콘택홀을

알루미늄막까지 제거하여 하부금속막 표면을 노출시키고, 인듐산화막과 하부금속막을 직접접촉하도록 하였다.

이 경우 하부금속막은 인듐주석산화막과의 전기접촉이 가능한 금속을 사용하기 때문에 게이트단자, 소스단자, 화소전극과 게이트배선, 소스배선, 드레인전극을 지장없이 접속할 수 있다.

이 하부금속막을 형성하는 금속으로는 Mo, Ti, Cr 등을 사용할 수 있다.

예를들면 알루미늄과 IT0콘택저항은 10^4 내지 $10^5 \Omega \cdot \text{cm}^2$ 이지만 몰리브덴과 IT0의 콘택저항은 10^4 내지 $10^5 \Omega \cdot \text{cm}^2$ 이어서 몰리브덴을 사용하는 것에 의해서 콘택저항을 낮게할 수 있다.

또, 알루미늄막의 표면에 알루미늄산화막을 설치하는 것에 의하여 알루미늄막 표면에 배리어층이 형성되고, 그 후 열처리 등에 의한 알루미늄막 표면 필락의 성장이 억제되기 때문에 필락에 의한 쇼트나 절연불량을 효과적으로 방지할 수 있다.

따라서, 본 발명에 의하면 게이트단자, 소스단자, 화소전극과, 게이트배선, 소스배선, 드레인전극과의 콘택부분에 있어서 저항의 증대와, 알루미늄막의 필락에 기인하는 쇼트불량, 절연불량의 발생이라고 하는 2개의 문제점을 동시에 해결할 수 있다. 그 결과 전기적특성이 양호하고, 수율이 높은 박막트랜지스터 기판을 얻을 수 있다.

상기 알루미늄산화막은 다양한 방법에 의해서 형성할 수 있지만 간단한 방법으로써, 오존수를 이용한 알루미늄막의 산화처리에 의하여 형성하여도 되고, 산소분위기 속에서 알루미늄막에 자외선을 조사하여 형성하여도 된다.

혹은 이를 2개의 수단을 병용하여도 상관없다.

또, 본 발명에 관한 액정표시장치는 대향배치된 1쌍의 기판사이에 액정이 협지되고, 1쌍의 기판의 일방이 상술의 박막트랜지스터기판인 것을 특징으로 한다.

저저항 배선으로써 알루미늄을 이용한 박막트랜지스터기판을 이용한 액정표시장치는 배선저항에 기인하는 신호전압강하나 배선지연이 발생하기 어렵고, 배선이 길어지는 대면적의 표시나 배선이 가늘어지는 고정세 표시에 최적인 표시장치를 용이하게 실현할 수 있는 이점을 갖고 있다.

이하 도면에 의하여 본 발명에 대해서 상세하게 설명하지만 본 발명은 이들의 실시형태의 예에 한정되는 것은 아니다.

도 1은 본 실시형태의 박막트랜지스터기판 1의 부분 단면도이다.

부호 A의 부분은 박막트랜지스터(TFT), B의 부분은 TFT매트릭스 외측에 위치하는 소스배선의 단자부, C의 부분은 게이트배선의 단자부를 나타내고 있다.

또, 이들 3개의 부분은 실제 액정표시장치에 있어서 떨어진 위치에 있고, 본래 단면도를 동시에 나타낼 수 있는 것은 아니지만 도시의 형편상 근접시켜 나타낸다.

먼저, 박막트랜지스터부 A의 부분에 대하여 설명한다.

박막트랜지스터부 A에는 기판 2상에 막 두께 500Å 정도의 몰리브덴으로 이루어진 하부금속막 3 및 막 두께 2000Å 정도의 알루미늄막 4로 이루어진 게이트전극 5가 설치되고, 그 위에 막 두께 100 내지 200Å 정도의 알루미늄산화막 6이 설치되어 있다.

그 위에 게이트절연막 7이 설치되고, 게이트절연막 7 위에 어몰퍼스실리콘(a-Si)으로 이루어진 반도체막 8이 설치되고, 또 이 반도체막 8 위에 n형 a-Si층 9가 설치되고, 그 위에 막 두께 200 내지 500Å 정도의 몰리브덴으로 이루어진 하부금속막 10과 막 두께 1500 내지 2000Å 정도의 알루미늄막 11로 이루어진 소스전극 12 및 하부금속막 10과 알루미늄막 14로 이루어진 드레인전극 15가 설치되어 있다.

알루미늄막 11 및 알루미늄막 14 위에는 막 두께 100 내지 200Å 정도의 알루미늄산화막 16이 설치되어 있다.

또, 소스전극 12나 드레인전극 15의 상방에 이들을 덮는 페시베이션막 17(절연막)이 형성되고, 이 페시베이션막 17에 알루미늄산화막 16과 알루미늄막 14를 관통하여 하부금속막 10에 도달하는 콘택홀 18이 형성되어 있다. 그리고, 콘택홀 18의 내벽면 및 저면을 따라서 화소전극이 되는 IT0층 19가 형성되어 있다. 이 콘택홀 18을 통하여 드레인전극 15와 IT0층 19(화소전극)가 전기적으로 접속되어 있다.

이어서, 소스배선의 단자부 B에 관해서는 게이트절연막 7 위에 하부금속막 10과 알루미늄막 11로 이루어진 하부패드층이 형성되고, 그 위에는 알루미늄산화막 16과 페시베이션막 17이 형성되고, 이 2층을 관통하는 콘택홀 20이 형성되어 있다.

그리고, 콘택홀 20의 내벽면 및 저면을 따라서 IT0로 이루어진 상부패드층 21이 형성되어 있다.

이 콘택홀 20을 통하여 하부패드층과 상부패드층 21이 전기적으로 접속되어 있다.

이어서, 게이트배선의 단자부 C에 관해서는 기판 2 위에 하부금속막 3과 알루미늄막 4로 이루어진 하부패드층이 형성되고, 그 위에는 알루미늄산화막 6과 페시베이션막 17이 형성되고, 이 2층을 관통하는 콘택홀 22가 형성되어 있다.

그리고, 콘택홀 22의 내벽면 및 저면을 따라서 IT0로 이루어진 상부패드층 23이 형성되어 있다. 이 콘택홀 22를 통하여 하부패드층과 상부패드층 23이 전기적으로 접속되어 있다.

이와 같은 구성으로 함으로써, IT0층과 알루미늄층은 IT0와의 전기접촉이 가능한 금속으로 이루어진 하부금속막을 개재하여 접속되기 때문에 서로 직접접촉하는 것에 의한 저항값의 상승을 일으키지 않는다.

상기 페시베이션막의 예로서는 a(머플퍼스)-SiNx:H, a-SiNx, a-SiO₂:H, SiO₂ 등을 들 수 있다.

이어서, 본 실시형태의 박막트랜지스터기판 1의 제조공정에 대하여 도 2를 이용하여 설명한다. 또, 도 2의 4개의 도면은 도 1의 박막트랜지스터부 A의 제조공정에 대하여 나타낸 개략도이다.

먼저, 기판 2 위의 전체에 걸쳐서 스퍼터법을 이용하여 하부금속막 3, 알루미늄막 4를 순차 성막한 후, 도 2A에 나타내는 것처럼, 이 2개의 막을 건식법 혹은 건식법과 습식법과의 병용에 의해 에칭하여 게이트패턴을 형성한다. 그 후, 알루미늄막 4의 표면을 산화처리함으로써, 알루미늄산화막 6을 형성한다. 이때에는 오존수를 이용한 산화처리를 채용하여도 된다. 혹은 이들 2개의 수단을 병용하여도 상관없다.

이어서, 기판 2의 상면전체에 CVD법을 이용하여 게이트절연막 7, 반도체막 8, n⁺형 a-Si층 9를 형성한 후, TFT의 채널부로 되는 알루미늄산화막 6의 상방부분을 남기도록 반도체막 8, n⁺형 a-Si층 9를 에칭한다. 그리고, 도 2B에 나타내는 것처럼 하부금속막 10과, 알루미늄막 11(14)을 순차성막한다.

이어서, 도 2c에 나타내는 것처럼 알루미늄산화막 6 상방의 알루미늄산화막 16, 알루미늄막 11(14), 하부금속막 10을 건식법 혹은 건식법과 습식법의 병용에 의하여 에칭하여 소스 드레인패턴을 형성한다. 이어서, 알루미늄막 11(14)의 표면을 산화처리함으로써, 알루미늄산화막 16을 형성한다.

이때에는 오존수를 이용한 산화처리를 채용하여도 되고, 산소분위기 속에서 자외선 조사를 이용한 산화처리를 사용하여도 된다.

또는 이들 2개의 수단을 병용하여도 상관없다.

그후, n⁺형 a-Si층 9를 건식법 혹은 건식법과 습식법의 병용에 의하여 에칭하여 채널 24를 형성한다.

이어서, 알루미늄산화막 16 위에 페시베이션막 17을 형성하고, 도 2D에 나타내는 것처럼 페시베이션막 17, 알루미늄산화막 16, 알루미늄막 14를 건식법 혹은 건식법과 습식법과의 병용에 의하여 에칭하여 콘택홀 18을 형성한다.

이어서, ITO층을 전면에서 형성한 후, 패턴링함으로써, 도 1에 나타내는 것처럼 콘택홀 18의 저면 및 내벽면, 페시베이션막 17의 상면에 걸쳐서 ITO층 19를 형성한다. 소스배선의 단자부 B, 게이트배선의 단자부 C에 대해서도 동일하고, 알루미늄산화막 16, 6 위에 페시베이션막 17을 형성한 후, 페시베이션막 17, 알루미늄산화막 16, 6, 알루미늄막 11, 4를 건식법 혹은 건식법과 습식법과의 병용에 의하여 에칭하여 콘택홀 20, 22를 형성한다(단지, 게이트배선 단자부 C에서는 상기의 막 외에 게이트절연막 7도 에칭하여 콘택홀 22를 형성한다). ITO층을 전면에서 형성한 후, 패턴링함으로써, 도 1에 나타내는 것처럼 콘택홀 20, 22의 저면 및 내벽면, 페시베이션막 17의 상면에 걸쳐서 상부패드층 21, 23을 형성한다.

이와 같은 수순으로 본 실시형태의 박막트랜지스터기판을 제조할 수 있다.

도 3은 본 실시형태의 박막트랜지스터기판을 사용한 반사형 액정표시장치의 일례를 나타내는 개략도이다.

이 반사형 액정표시장치는 액정층 59를 개재하여 대향하는 상측 및 하측의 글래스기판 51, 52의 상측글래스기판 51의 내면측에 상측투명전극층 55, 상측배향막 57이 상측글래스기판 51측으로부터 순차형성되고, 하측글래스기판 52의 내면측에 하측투명전극층 56, 하측배향막 58이 하측글래스기판 51측으로부터 순차 형성되어 있다.

액정층 59는 상측과 하측의 배향막 57, 58 사이에 배설되어 있다. 상측글래스기판 51의 외면측에는 상측편광판 60이 설치되고, 하측글래스기판 52의 외면측에는 하측편광판 61이 설치되고, 또 하측편광판 61의 외면측에 반사막 62가 반사막 64의 요철면 65를 하측편광판 61측을 향하여 설치되어 있다.

반사판 62는 예를들면, 표면에 랜덤한 요철면이 형성된 폴리메스테르필름 63의 요철면상에 알루미늄이나 은 등으로 이루어진 금속반사막 64를 증착등으로 성막하는 것에 의하여 형성되어 있고, 표면에 랜덤한 요철면 65를 갖고 있는 것이다.

이 반사형 액정표시장치에 있어서는 글래스기판 52가 본 실시형태의 박막트랜지스터기판 1의 기판 2, 하측투명전극층 56이 ITO층(화소전극)19에 상당한다.

본 실시형태의 박막트랜지스터기판에 있어서는 이하와 같은 효과를 얻을 수 있다. 즉, 알루미늄막의 아래에 적층되어 있는 하부금속막과 ITO층과를 접촉하고 있기 때문에 콘택저항을 상승시키지 않고, ITO층과 알루미늄막을 전기적으로 접속할 수 있다.

또, 알루미늄막의 표면에 알루미늄산화막을 설치함으로써, 알루미늄막 표면에 발생하는 필락의 표면에 알루미늄산화막이라고 하는 배리어층을 형성할 수 있고, 필락에 의한 쇼트나 절연불량을 방지할 수 있다.

또, 본 발명의 기술범위는 상기 실시형태에 한정되지 않고, 예를들면 알루미늄막, 알루미늄산화막, 하부금속막, 페시베이션막 등의 막 두께나 형상 등에 대하여 본 발명의 취지를 이탈하지 않는 범위에서 다양한 변경을 가하는 것이 가능하다.

실시예

이하, 본 발명을 실시예에 의하여 구체적으로 설명하지만 본 발명은 이들의 실시예에 한정되는 것은 아니다.

먼저, 알루미늄표면의 필락이 오존수처리, 오존수와 자외선처리로 어떻게 변화하는가에 대하여 실험하였다.

3장의 기판에 두께 1700Å의 알루미늄막을 성막하였다. 각 기판을 열처리하고, 알루미늄막의 표면에 필

락을 형성시켰다. 3장의 기판 중 1장은 알루미늄막의 표면을 오존수로 5분간 처리하고, 1장은 알루미늄막의 표면을 오존수와 자외선으로 5분간 처리하여 알루미늄산화막을 형성시켰다. 남은 한 장은 표면처리를 하지 않았다. 각 기판의 알루미늄막 표면의 사방 150 μ m를 원자간력현미경(AFM)을 이용하여 512 \times 512 점 주사하고, 필락의 높이와 밀도를 측정하였다. 결과를 도 4에 나타낸다. 도 4에서 ▲ 및 굵은 실선은 미처리알루미늄막, ◆ 및 파선은 오존수로 5분간 처리한 알루미늄막, ■ 및 가는실선은 오존수와 자외선으로 5분간 처리한 알루미늄막이다.

도 4에서 알 수 있는 것처럼 미처리알루미늄막에 의하여 오존수로 처리한 알루미늄막 쪽이, 또, 오존수로 처리한 알루미늄막보다 오존수와 자외선으로 처리한 알루미늄막 쪽이 필락의 높이, 밀도 모두 감소하고 있다.

즉, 오존수처리, 자외선처리 모두 알루미늄막 표면에 산화막을 형성할 뿐만아니라 필락 자체를 작게하여 알루미늄막 표면을 평활화하는 효과가 있는 것이 확인되었다. 또 오존수 처리와 자외선처리를 병용함으로써, 더 큰 효과의 향상이 보여졌다.

이어서, 알루미늄막을 오존수와 자외선으로 처리할 때 절연내압의 영향에 대하여 실험하였다.

3장의 기판에 두께 1300 Å의 알루미늄막을 성막하였다. 알루미늄막의 표면을 오존수와 자외선으로 1장째의 기판은 1분간, 2장째의 기판은 5분간, 3장째의 기판은 20분간 처리하여 알루미늄산화막을 형성하였다. 각각의 산화막 위에 절연막으로 되는 두께 1000 Å의 SiNx층, 반도체층을 순차성막하여 시료를 제작하였다. 각 시료 모두 복수의 곳에서 알루미늄막과 도전층과의 사이의 절연 내압을 측정하였다.

도 5는 3종류의 시료에 대하여 알루미늄막과 도전층과의 사이의 절연내압과, 그 절연내압을 나타낸 측정점의 도수를 나타낸 그래프이다.

오존수와 자외선으로 1분간 처리한 시료는 0내지 8V정도로 절연내압이 낮아 산화조건으로서는 불충분하고, 알루미늄막 표면의 필락의 발생을 완전하게 억제할 때 까지 산화막이 성장되지 않은 것으로 판단되었다.

오존수와 자외선으로 5분간 처리한 시료는 1분간 처리한 시료와 비교하여 내압 10V의 점이 많고, 그래프가 크게 우측으로 이동하여 있고, 산화막이 충분히 성장하여 필락의 발생을 억제하고, 시료의 내압이 향상한 것으로 판단되었다.

오존수와, 자외선으로 20분간 처리한 시료는 5분간 처리한 시료와 비교하여 그래프가 약간 좌측으로 이동하여 있고, 처리시간을 연장하여도 시료의 내압은 향상하지 않고, 역으로 저하 경향이 있는 것으로 판명되었다.

이상과 같이 절연내압 향상의 관점에서는 알루미늄막을 오존수와 자외선으로 처리하는 최적시간은 5분간인 것으로 결론지었다.

발명의 효과

이상 상세히 설명한 것처럼 본 발명의 박막트랜지스터기판은 알루미늄막의 아래에 적층되어 있는 하부금속막과 인듐주석산화막을 접속하고 있기 때문에 콘택저항을 상승시키지 않고, 인듐주석산화막과 알루미늄막을 전기적으로 접속할 수 있다. 또, 알루미늄막의 표면에 알루미늄산화막을 설치함으로써, 알루미늄막 표면에 배리어층을 형성하고, 그 후의 열처리 등에 의한 필락의 성장이 억제되기 때문에 필락에 의한 쇼트나 절연불량을 방지할 수 있다.

또, 저저항 배선으로써 알루미늄을 이용한 박막트랜지스터기판을 이용한 액정표시장치는 배선저항에 기인하는 신호전압강하나 배선지연이 발생하기 어렵고, 배선이 길어지는 대면적의 표시나 배선이 가늘어지는 고정세한 표시에 최적인 표시장치를 용이하게 실현하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1. 기판상에 게이트단자, 소스단자 및 화소전극을 이루는 인듐주석산화막과의 전기접속이 가능한 금속으로 이루어진 하부금속막과,

게이트배선, 소스배선 및 드레인전극을 이루는 알루미늄막과, 알루미늄산화막과, 절연막이 순차적층되고, 상기 절연막표면에서 상기 절연막과, 상기 알루미늄산화막과, 상기 알루미늄막을 통하여 상기 하부금속막에 이르는 콘택홀이 형성되고,

상기 절연막 위 및 상기 콘택홀 내에 인듐주석산화막이 형성되고, 상기 콘택홀 내에 형성된 인듐주석산화막이 상기 하부금속막에 전기적으로 접속된 것을 특징으로 하는 박막트랜지스터기판.

청구항 2. 제1항에 있어서,

상기 알루미늄산화막이 오존수를 이용한 상기 알루미늄막의 산화처리에 의하여 형성된 것을 특징으로 하는 박막트랜지스터기판.

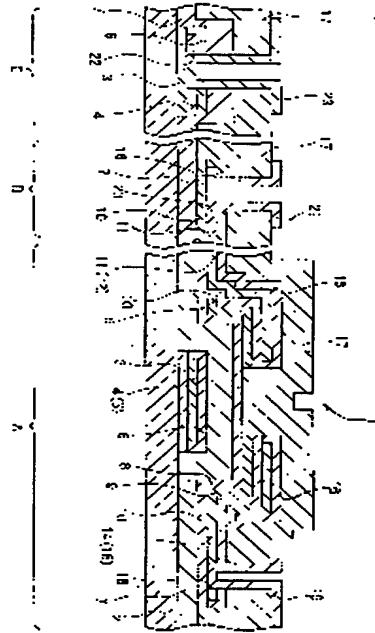
청구항 3. 제1항에 있어서,

상기 알루미늄산화막이 산소분위기 속에서 상기 알루미늄막에 자외선을 조사하여 형성된 것을 특징으로 하는 박막트랜지스터기판.

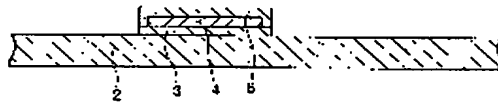
청구항 4. 대향배치된 한쌍의 기판 사이에 액정이 협지되고, 상기 한쌍의 기판의 일방이 기판상에 게이트단자, 소스단자 및 화소전극을 이루는 인듐주석산화막과의 전기접속이 가능한 금속으로 이루어진 하부금속막과, 게이트배선, 소스배선 및 드레인전극을 이루는 알루미늄막과, 알루미늄산화막과, 절연막이 순차적층되고, 상기 절연막표면에서 상기 절연막과, 상기 알루미늄산화막과, 상기 알루미늄막을 통하여 상기 하부금속막에 이르는 콘택홀이 형성되고, 상기 절연막 위 및 상기 콘택홀 내에 인듐주석산화막이 형성되고, 상기 콘택홀 내에 형성된 인듐주석산화막이 상기 하부금속막에 전기적으로 접속된 박막트랜지스터기판인 것을 특징으로 하는 액정표시장치.

도면

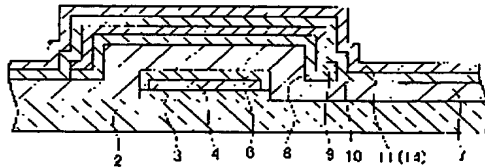
도면1



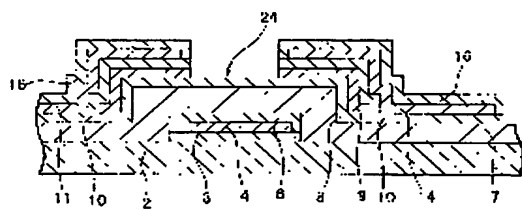
도면2a



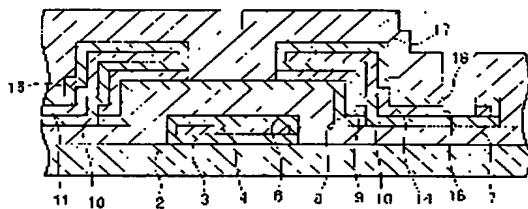
도면2b



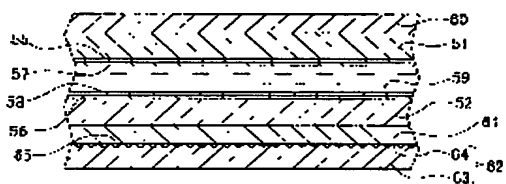
도면2a



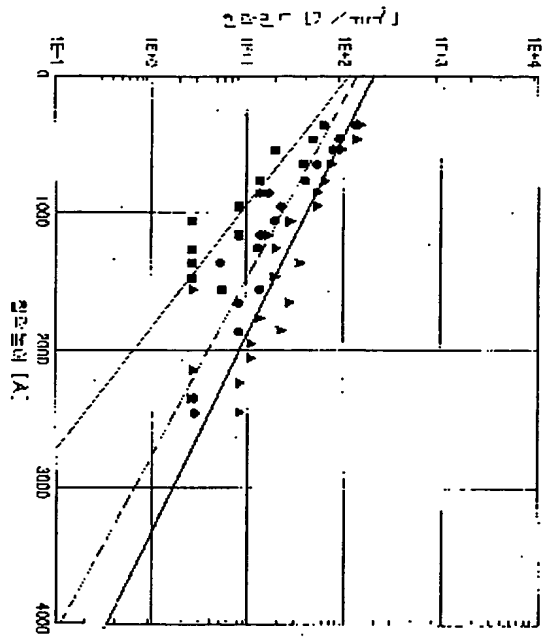
도면2d



도면3



도면4



도면5

